

⑫ 公開特許公報(A) 平1-117351

⑪ Int. Cl.⁴
H 01 L 27/04

識別記号

庁内整理番号
H-7514-5F

⑬ 公開 平成1年(1989)5月10日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭62-276321

⑯ 出 願 昭62(1987)10月30日

⑰ 発 明 者 岡 田 宏 稔 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) チップ内部に内部回路を有し、

該内部回路には入力論理信号や少なくとも高低2つの電源電圧が、それぞれの入力ピンを介してチップ外部から印加される半導体集積回路において、

前記、入力論理信号の入力ピンと内部回路との間に入力抵抗増大手段を設け、

該入力抵抗増大手段は、前記高低2つの電源電圧の少なくとも何れか一方の電圧変動にตอบสนองして動作し、

該入力ピンと内部回路間の抵抗値を増大させることを特徴とする半導体集積回路。

(2) 前記入力抵抗増大手段は、トランスミッションゲートからなり、該トランスミッションゲ

ートのNチャネルトランジスタのゲートを前記高電源電圧に接続するとともに、該トランスミッションゲートのPチャネルトランジスタのゲートを前記低電源電圧に接続したことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

(3) 前記入力抵抗手段は、Nチャネルトランジスタからなり、該Nチャネルトランジスタのゲートを前記高電源電圧に接続したことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

(4) 前記入力抵抗手段は、Pチャネルトランジスタからなり、該Pチャネルトランジスタのゲートを前記低電源電圧に接続したことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 発明の詳細な説明

(概 要)

半導体集積回路に関し、

電源電圧の変動にตอบสนองして、保護入力ピンの入力抵抗を増大させることにより、チップ外部から

侵入する雑音を効果的に阻止することを目的とし、

チップ内部に内部回路を有し、該内部回路には入力論理信号や少なくとも高低2つの電源電圧が、それぞれの入力ピンを介してチップ外部から印加される半導体集積回路において、前記、入力論理信号の入力ピンと内部回路との間に入力抵抗増大を設け、該入力抵抗増大手段は、前記高低2つの電源電圧の少なくとも何れか一方の電圧変動にตอบสนองして動作し、該入力ピンと内部回路間の抵抗値を増大させるように構成している。

(産業上の利用分野)

本発明は、半導体集積回路に関し、詳しくは保護対象端子の入力抵抗を電源電圧の変動にตอบสนองして増大させ、該端子を介して外部から侵入する雑音を阻止した半導体集積回路に関する。

近時、基板実装の高密度化や基板上配線仕様の微細化および多層化などに伴って、隣接する配線間や半導体集積回路の入出力ピン相互間での信号漏洩が生じやすくなっており、この面の効果的な

対策を必要としている。

(従来の技術)

第8図は従来の半導体集積回路の一部分を示す図である。この半導体集積回路では、入力ピン1と内部回路2との間に2つのインバータ3、4を縦続接続して設け、基板配線 L_1 を介して入力ピン1に伝えられた入力論理信号をインバータ3、4で整形し、内部回路2で所定の論理変換等を行った後、内部回路2からの出力論理信号を出力ピン5、基板配線 L_2 を介して出力している。なお、6は半導体集積回路のパッケージを示す。

ところで、第9図に示すように基板配線 L_1 の電位変化が配線間容量等を介して基板配線 L_2 に漏洩した場合、入力ピン1上には図示するような雑音が生じる。一般に、上記インバータ3、4等の入力直流特性は、ノイズマージンを考慮し、低レベル入力電圧 V_{IL} は若干高目に、高レベル入力電圧 V_{IH} は若干低目に設定され、例えば、TTLレベルやTTL/CMOSコンパチレベルでは $V_{IL} = 0.8V_{max}$ 、 $V_{IH} = 2V_{min}$ となっている。したがって、入力ピンの論理レベルが“0”の場合、この論理“0”に重畳した0~0.8Vまでの雑音は無視され、また、論理レベルが“1”の場合、この論理“1”に重畳した $2V \sim V_{cc}$ (電源電圧)までの雑音は無視される。

しかし、このような従来のものにおいては、論理“0”に重畳した雑音が0.8Vを超えた場合や論理“1”に重畳した雑音が2Vを下回った場合には雑音を排除することができない欠点があった。

そこで、他の従来例として、上記インバータ3、4の1つをヒステリシスインバータとしたものがある。ヒステリシスインバータは、高・低2段階のしきい値を持ち、論理“0”から論理“1”の検出は、入力電圧が高しきい値を超えたことにより行い、また論理“1”から論理“0”の検出は入力電圧が、低しきい値を下回ったことにより行っている。したがって、ノイズマージンはそれぞれ0Vから高しきい値、 V_{cc} から低しきい値となり、上述の従来のものよりノイズマージン幅が増

えて入力雑音の阻止効果の点で比較的優れている。

(発明が解決しようとする問題点)

しかしながら、このような他の従来例にあっては、ヒステリシスインバータを入力回路に設ける構成となっていたため、このヒステリシスインバータの比較的遅い信号伝達特性によって半導体集積回路全体の信号伝達特性が悪化するという問題点があった。

また、基板配線 L_1 に出力された信号は多数の論理素子で共通使用される接地配線や電源配線を帰路とし、これらの配線インピーダンスは比較的大きい。したがって、信号帰路の配線上には、該信号のレベルに応じた電圧変動が発生することとなり、例えば、接地配線の場合、第10図に示すようにヒステリシスインバータのグラウンド電位を上昇させる。この電圧変動の具体的な数値例としては、接地配線に接続されたポート数が20程度の場合、最悪で1V程度の上昇が見られる。その結果、ヒステリシスインバータの入力直流特性が変動し、

グラウンド電位が上昇した場合は、論理“0”と高しき値間の雑音余裕が少なくなり、また、電源電位が低下した場合は、論理“1”と低しき値間の雑音余裕が少なくなって、耐雑音性が悪化するといった問題点があった。

本発明は、このような問題点に鑑みてなされたもので、電源電圧の変動にตอบสนองして、保護入力ピンの入力抵抗を増大させることにより、チップ外部から侵入する雑音を効果的に阻止することを目的としている。

〔問題点を解決するための手段〕

本発明では、上記目的を達成するために、チップ内部に内部回路を有し、該内部回路には入力論理信号や少なくとも高低2つの電源電圧が、それぞれの入力ピンを介してチップ外部から印加される半導体集積回路において、前記、入力論理信号の入力ピンと内部回路との間に入力抵抗増大手段を設け、該入力抵抗増大手段は、前記高低2つの電源電圧の少なくとも何れか一方の電圧変動に応

答して動作し、該入力ピンと内部回路間の抵抗値を増大させるように構成している。

〔作用〕

本発明では、内部回路から出力論理信号が出力されると、該信号とほぼ同一のタイミングで発生する電源電圧の変動にตอบสนองして、入力論理信号の入力ピンと内部回路との間の抵抗値が増大される。

したがって、抵抗値が増大されている間では、入力ピンに加えられた雑音が内部回路へ伝達されることはなく、耐雑音性の改善が図られる。

〔実施例〕

以下、本発明を図面に基づいて説明する。

第1、2図は本発明に係る半導体集積回路の一実施例を示す図である。

まず、構成を説明する。第1図において、10は半導体集積回路内に複数設けられたうちの1つの入力回路を代表して示している。

11はインバータであり、インバータ11の入力側

はチップの入力端子（入力ピン） P_1 に接続され、出力側はトランスミッションゲート G_{11} のソースに接続されている。トランスミッションゲート G_{11} は一對のNチャネルMOSトランジスタ（以下、NMOSという） Q_{11} およびPチャネルMOSトランジスタ（以下、PMOSという） Q_{12} からなり、NMOS Q_{11} のゲートは高電源電圧 V_c に接続され、PMOS Q_{12} のゲートは低電源電圧（本実施例では接地電位） G に接続されている。トランスミッションゲート G_{11} のドレインはインバータ12の入力側に接続され、インバータ12の出力側は内部回路CKTに接続されている。なお、内部回路CKTとしては、論理回路や組合せ論理回路あるいは論理演算回路など多種多様のものが対象となるが、本発明の内部回路CKTはこれらの機能に限定されるものではない。

次に、作用を説明する。

一般に、半導体集積回路の出力回路にあっては、動作時の消費電流が比較的に大きく、電源配線や接地配線を通れる電流をその動作時において急激

に増大させる。特に、出力ポート数が多いものにあってはそのポート数に応じて電流量も増加し、電源配線の電圧降下や、接地配線の電圧上昇（いわゆる接地電位からの浮き）などが発生して各種の不具合を誘引する。そして、その不具合の1つとして入力回路のノイズマージン低下が掲げられる。ノイズマージンは入力回路初段に設けられた、例えばインバータの入力直流特性のうち V_{IL} 、 V_{IH} 、高電源電圧 V_c および低電源電圧 G の相互関係で決まり、仮に高電源電圧 V_c が降下したり、低電源電圧 G が上昇したりすると、 V_{IL} や V_{IH} 間のノイズマージンが減少して、結局、耐雑音性が悪化する。

また、前述した基板実装の高密度化や配線仕様の微細化および多層化に伴って誘導性雑音が入力端子に印加され易くなっており、上述の耐雑音性悪化は問題である。

そこで本実施例では、高電源電圧 V_c や低電源電圧 G に電圧変動が発生すると、この変動にตอบสนองしてトランスミッションゲート G_{11} のチャネル抵

抗を増大させ、入力端子に印加された雑音が、内部回路CKTに伝達されないようにして耐雑音性の改善を図っている。

以下、第2図のタイミングチャートを参照しながら、本実施例の回路動作を説明する。まず、内部回路CKTからの図示しない出力論理信号に応じて出力端子（図示せず）の電位が第2図(a)に示すように変化すると、この電位変化とほぼ同タイミングで高電源電圧 V_c が $+E V$ （例えば、 $+5 V$ ）から $-B V$ だけ降下し（第2図(c)参照）、同時に、低電源電圧 G が $0 V$ から $+A V$ だけ上昇する（第2図(d)参照）。一方、入力端子 P_1 には、この入力端子 P_1 に接続された配線と出力端子に接続された配線間の容量等を介して、第2図(b)に示すような雑音が印加されている。

今、入力端子 P_1 に入力している入力論理信号が論理“0”にあって該雑音レベルがインバータ11の V_{th} を超えた場合、この雑音はインバータ11を通過してトランスミッションゲート G_{11} に加えられる。このとき、トランスミッションゲート G

$_{11}$ のNMOS Q_{11} はそのゲートに印加された高電源電圧 V_c の降下（ $-B V$ だけ降下している）によってチャネル抵抗を増大方向に変化しており、また、PMOS Q_{12} もそのゲートに印加された低電源電圧 G の上昇（ $+A V$ だけ上昇している）によってチャネル抵抗を増大方向に変化している。したがって、トランスミッションゲート G_{11} に加えられた雑音は、その増大方向に変化したチャネル抵抗により通過が阻止され、内部回路CKTに伝達されることはない。

このように本実施例では、入力端子 P_1 と内部回路CKTとの間にトランスミッションゲート G_{11} を設け、このトランスミッションゲート G_{11} を構成するNMOS Q_{11} およびPMOS Q_{12} のそれぞれのゲートに出力論理信号の論理変化に追従して変化する高電源電圧 V_c および低電源電圧 G を接続し、この高電源電圧 V_c および低電源電圧 G の電位変化にตอบสนองさせてNMOS Q_{11} およびPMOS Q_{12} のチャネル抵抗を増大させている。

したがって、高電源電圧 V_c および低電源電圧

G が変化している間では、保護対象の入力端子 P_1 の入力インピーダンスが増大することとなり、その結果、入力端子 P_1 に加えられる出力論理信号の論理変化に起因する雑音を阻止することができ、耐雑音性の改善を図ることができる。

なお、上記実施例では、2つのインバータ11、12の間に入力抵抗増大手段としてのトランスミッションゲート G_{11} を設けているが、本発明はこれに限定されるものではない。要は保護すべき入力端子 P_1 と内部回路CKTとの間に入力抵抗増大手段を設ければよく、第3～7図にその他の好ましい態様例をそれぞれ示す。

すなわち、第3図に示すように2つのインバータ11、12の初段側のインバータ11と入力端子との間にトランスミッションゲート G_{12} を設け、それぞれのゲートを高電源電圧 V_c および低電源電圧 G に接続してもよく、

あるいは、第4図に示すように初段側のインバータ11と入力端子との間にNMOS Q_{13} を設け、そのゲートを高電源電圧 V_c に接続してもよく、

あるいは、第5図に示すように、初段側のインバータ11と入力端子との間にPMOS Q_{14} を設け、そのゲートを低電源電圧 G に接続してもよく、

あるいは、第6図に示すように2つのインバータ11、12の間にNMOS Q_{15} を設け、そのゲートを高電源電圧 V_c に接続してもよく、

あるいは、第7図に示すように、2つのインバータ11、12の間にPMOS Q_{16} を設け、そのゲートを低電源電圧 G に接続してもよい。これら第3～7図の態様例においてもトランスミッションゲート G_{12} 、NMOS Q_{13} 、NMOS Q_{15} 、PMOS Q_{14} 、PMOS Q_{16} が入力抵抗増大手段として機能するので、前記実施例と同様の効果を得ることができる。

なお、2つのインバータ11、12の後段側のインバータ12と内部回路CKTとの間にトランスミッションゲートやNMOSあるいはPMOSを設けこれらを入力抵抗増大手段とすることは上記各例から容易に考え得ることである。

(発明の効果)

本発明によれば、定電源電圧の変動にตอบสนองして、保護入力ピンの入力抵抗を増大させているので、該電源電圧の変動と同一要因で発生する保護入力ピンへの印加雑音を効果的に阻止することができ、耐雑音性の改善を図ることができる。

4. 図面の簡単な説明

第1、2図は本発明に係る半導体集積回路の一実施例を示す図であり、

第1図はその要部を示す回路図、

第2図はその動作を説明するためのタイミングチャート、

第3～7図は他の態様例をそれぞれ示す回路図である。

第8～10図は従来の半導体集積回路を示す図であり、

第8図はその要部を示す回路図、

第9、10図はその動作を説明するためのタイミングチャートである。

CKT……内部回路、

P₁……入力端子(入力ピン)、

G₁₁、G₁₂……トランスミッションゲート

(入力抵抗増大手段)、

Q₁₃、Q₁₅……NMOS(入力抵抗増大手段)、

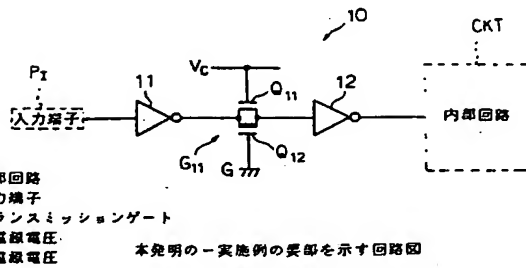
Q₁₄、Q₁₆……PMOS(入力抵抗増大手段)、

V_c……高電源電圧、

G……低電源電圧。

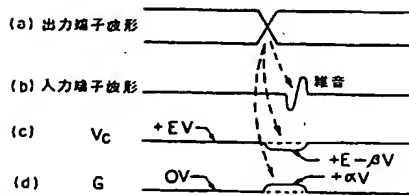
特許出願人 富士通株式会社

代理人 弁理士 井 桁 貞



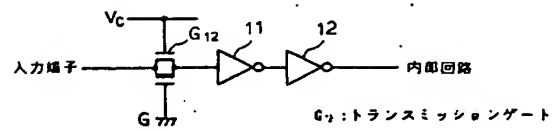
本発明の一実施例の要部を示す回路図

第1図



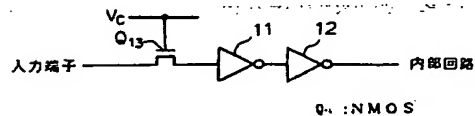
第1図の動作を説明するためのタイミングチャート

第2図



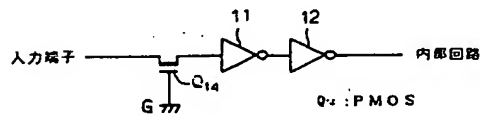
本発明の他の態様例を示す回路図

第3図



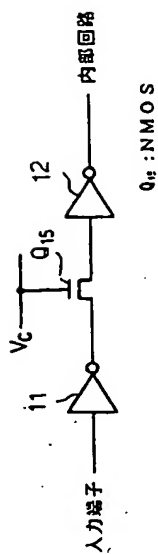
本発明の他の態様例を示す回路図

第4図



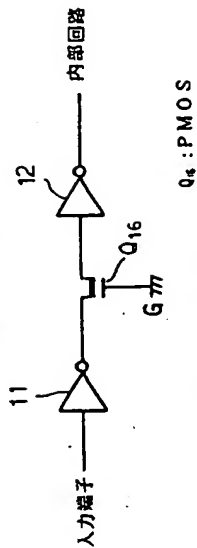
本発明の他の態様例を示す回路図

第5図



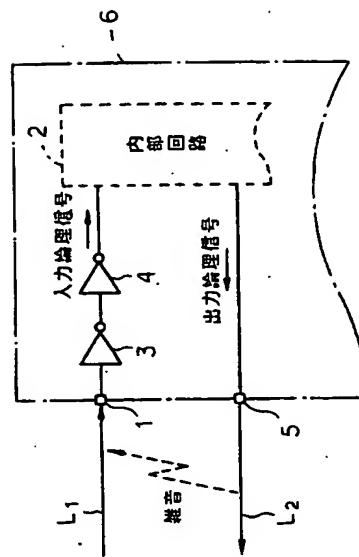
本発明の他の態様例を示す回路図

第 6 図



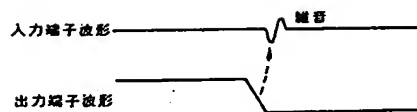
本発明の他の態様例を示す回路図

第 7 図



従来の半導体集積回路の要部を示す回路図

第 8 図



従来の半導体集積回路の動作を説明するためのタイミングチャート

第 9 図



従来の半導体集積回路の動作を説明するためのタイミングチャート

第 10 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-117351

(43)Date of publication of application : 10.05.1989

(51)Int.Cl.

H01L 27/04

(21)Application number : 62-276321

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.10.1987

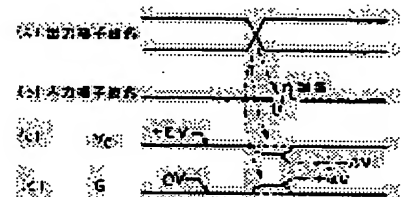
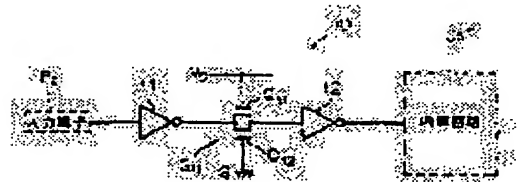
(72)Inventor : OKADA HIROTOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To interrupt effectively noise to intrude from the exterior of a chip by a method wherein the input resistance of protective input pins is augmented in response to the fluctuation of a supply voltage.

CONSTITUTION: In case an input logical signal which is inputted in an input terminal P1 is a logic '0' and a noise level exceeds the VIL of an inverter, this noise passes through the inverter 11 and is added to a transmission gate G11. At this time, an N-MOS Q11 of the gate G11 is changed its channel resistance in the augmenting direction of the noise by the drop of a high supply voltage Vc applied to its gate and a P-MOS Q12 of the gate G11 is also changed its channel resistance in the augmenting direction by an increase in a low supply voltage G applied to its gate. Accordingly, the noise added to the gate G11 is stopped its passage by the channel resistances changed in its augmenting direction and is never transmitted to an internal circuit CKT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]